

⑫ 公開特許公報(A)

昭64-5015

⑬ Int.Cl.⁴

H 01 L 21/285
21/90
27/10

識別記号

3 0 1
3 2 5

庁内整理番号

R-7638-5F
C-6708-5F
P-8624-5F

⑭ 公開 昭和64年(1989)1月10日

審査請求 未請求 発明の数 1 (全4頁)十

⑮ 発明の名称 集積回路素子の製造方法

⑯ 特 願 昭62-160679

⑰ 出 願 昭62(1987)6月26日

⑱ 発 明 者 井 口 勝 次 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内
⑱ 発 明 者 浦 井 正 彦 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内
⑱ 発 明 者 志 賀 千 也 子 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内
⑱ 発 明 者 木 場 正 義 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内
⑲ 出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
⑲ 代 理 人 弁理士 杉山 毅 至 外1名

明 細 書

1. 発明の名称

集積回路素子の製造方法

2. 特許請求の範囲

1. 半導体基板表面に形成された機能素子と、該機能素子と電気的に結合する配線と、上記機能素子と配線の接合部において両者を隔てるバリアメタルとなる窒素及びタンゲステンを主成分とする非晶質の窒化タンゲステン薄膜とを含む集積回路素子の製造方法であって、

上記窒化タンゲステン薄膜を六弗化タンゲステンガスと窒素ガスと水素ガスを含有原料ガスよりプラズマ励起の気相反応法によって堆積して形成するよう^に成したことを特徴とする集積回路素子の製造方法。

2. 前記半導体基板がシリコン基板であり、前記配線がアルミニウムを主成分とする薄膜であることを特徴とする特許請求^の範囲第1項^にの集積回路素子の製造方法。

3. 前記窒化タンゲステン薄膜中の組成が、原子

数比において窒素1に対しタンゲステンが2以上であることを特徴とする特許請求^の範囲第1項^にの集積回路素子の製造方法。

3. 発明の詳細な説明

<産業上の利用分野>

本発明は超高集積半導体素子の製造方法の改良に関するものであり、更に詳細には半導体の拡散層と金属配線の接合部に、半導体と配線金属の反応等を抑制するための薄膜、いわゆるバリアメタルを有する集積回路素子の製造方法に関するものである。

<従来の技術>

半導体装置、例えばMOS型集積回路素子は近年ますます高集積化し、高速化している。しかしながらソース、ドレイン拡散層とアルミニウム・シリコン合金(AlSi)配線との接合部(コンタクト)が1 μ m程度に減少するにつれ、コンタクト抵抗の増加による動作速度の低下、信頼性の低下が問題となって来ている。これは、AlSi中に固着限を超えて入っているSiが熱処理工程中で

AlSi/Si界面に析出するためと言われている。

上記析出によるコンタクト抵抗の増加や、Alと拡散層Siの相互拡散を防止するため、AlSi配線と拡散層Siの間に両者の反応を抑制するための薄膜、いわゆるバリアメタル層が利用されている。バリアメタルとしては、チタンタングステン合金(TiW)、窒化チタン(TiN_x)、窒化タングステン(WN_x)、タングステンシリサイド(WSi₂)等の高融点金属シリサイドが使われている。

<発明が解決しようとする問題点>

上記各種のバリアメタル中、高融点金属シリサイドのTiW、TiN_xは主に柱状の結晶粒からなっており、結晶粒の粒界を通して物質が移動しやすいため、AlとSiの反応を抑制する作用(バリア特性)が低い。しかし、WN_x、TiN_x、Ta₂N₅等の高融点金属窒化物は、作成条件によっては、粒構造を有しない非晶質薄膜を作成することができ熱的安定性も高い。しかも粒構造を有しないために、高いバリア特性が期待できる。

<問題点を解決するための手段>

上記の目的を達成するため、本発明は半導体基板表面に形成された機能素子と、この機能素子と電氣的に結合する配線と、上記の機能素子と配線の接合部において両者を隔てるバリアメタルとなる窒素及びタングステンを主成分とする非晶質の窒化タングステン薄膜とを含む集積回路素子の製造方法において、上記の窒化タングステン薄膜を六弗化タングステンガスと窒素ガスと水素ガスを含有原料ガスよりプラズマ励起の気相反応法によって堆積するように構成している。

即ち、本発明は上記した目的を達成するため、半導体と金属配線の接点に両者を隔てるバリアメタルとして、段差被覆性が良く、粒構造を有^{しない}非晶質窒化タングステン膜を形成するようになり、この窒化タングステン薄膜の堆積を、従来のスパッタリング法に代えて、六弗化タングステンガスと窒素ガスと水素ガスを含有原料ガスをを用いたプラズマ励起の気相反応法を用いて行なうことを特徴としている。

これまで、上記のバリアメタルはいずれも段差被覆性(ステップカバレジ)の悪いスパッタ法で形成されていた。

したがって、第3図に示すように、Si基板31上に形成されたSiO₂膜32に開けられたコンタクトホール33のアスペクト比が大きい場合には、コンタクトホール33の底部のSi露出面34上へは、バリアメタル35が付着しにくかった。特に底部の周辺36では顕著であった。そこで十分なバリア特性を期待するためには、バリアメタル層をかなり厚く堆積する必要がある。その結果SiO₂膜32上では、その厚さが0.2μm以上となり、エッチング仕様が厳しくなる、密着性が悪くなる、AlSi配線が薄くなるため配線抵抗が高くなる等の問題があった。

本発明は上記の点に鑑みて創案されたものであり、上記した従来の問題点を除去し、動作速度が速く、信頼性の高い超高集積回路素子を提供し得る集積回路素子の製造方法を提供することを目的としている。

また、本発明の実施態様によっては、窒化タングステン薄膜中の組成が、原子数比で窒素1に対してタングステンが2以上であるようにしている。

<作 用>

プラズマ励起の気相反応を用いることによって良好な段差被覆性で無粒構造の非晶質窒化タングステン膜を形成することができるため、1000Å以下の薄膜で十分なバリア特性が得られる。非常に薄いバリアメタルとなるため、エッチング仕様は緩くなり、又膜の内部応力の制御性が良くなるため密着性も向上し、配線抵抗の問題もない。

上記バリアメタルを用いることにより、高速、高信頼性の超高集積回路素子が実現される。

<実施例>

本発明の実施例としてn-MOSの1MDRAMについて述べる。第1図及び第2図はそれぞれ本発明による1MbDRAMの作成工程をメモリセル部について示す図である。

第1図は、従来公知の工程でビット線AlSi配

線前まで形成したメモリセル部の断面を示す図であり、同図において、1はキャパシタのプレート電極、2はキャパシタ絶縁膜であり、3a, 3bはスイッチングトランジスタのゲート電極をなすワード線、4及び5は上記トランジスタのソース及びドレインである。6は絶縁膜であるボロン・リンガラス(BPSG)膜である。10はビット線をなすA₄Si配線とスイッチングトランジスタのソース4_(コンタクトホール)である。

従来の製造工程では、第1図に示した構造となした後、TiN_x等のバリアメタルを約3000Å堆積し、次いで、A₄Siを6000Å堆積した後、パターンニングしていた。

これに対して本発明にあっては第2図に示すように、まずプラズマCVD装置により、六弗化タングステンガス、窒素ガス及び水素ガスを1:3:5の割合で混合したガスを原料ガスとして、基板温度200℃から300℃の範囲で800ÅのWN_x薄膜20を堆積し、次にA₄薄膜21を8000Å堆積した。なお、プラズマCVD装置

より-150V(例えば-50V)の負のバイアス電圧を印加して、WN_x膜の成膜を行なうことにより粒構造の全くみられないWN_x膜を得た。

また、RF放電によるプラズマ励起CVD(PCVD)装置を用いて成膜する場合には、DC放電により励起した場合と同様にRFバイアス電圧を印加し、基板電極に誘起された自己バイアス電圧を例えば30Vに設定することにより無粒構造化したWN_x膜を得た。

上記のようにして成膜することにより、第2図に示すようにWN_x膜20の段差被覆性が良く、コンタクトホール底部の周辺部においても、平坦面上の膜厚の約80%が堆積しており、1000Å以下の膜厚でも十分なバリア特性が得られる。またスパッタ法で形成したTiN_xやWN_x膜では 10^{10} dyn/cm²オーダーの非常に強い圧縮応力を示し、しばしば、下地からの剥離が問題となるのに対し、本発明の実施例で用いているWN_x膜の応力は基板バイアス電圧及び基板温度により制御可能であり、 5×10^9 dyn/cm²の圧縮応力から、 $1 \times$

による無粒構造WN_x薄膜の形成法について、本発明者等はその一例を先に特許願「無粒構造金属化合物薄膜の製造方法」(昭和62年6月19日出願)を提案している。

本発明者等が先に提案した無粒構造WN_x薄膜の形成方法は、以下の通りである。即ちWN_x膜を成膜する際、導入ガスとして六弗化タングステン(WF₆)ガス、水素(H₂)ガス及び窒素(N₂)ガスを用い、それぞれマスフローコントローラにより流量を制御して反応室内に導入する。電源には直流高圧電源を用いて、カソード側に例えば-400V~-600Vの電圧を印加し、DCグロー放電により反応ガスを励起する。また基板電極側に直流バイアス電源を設け、成膜前に反応室は油拡散ポンプ(図示せず)により 1.0×10^{-6} Torr以下に排気した後、反応ガスを導入した。

反応ガスの導入比をWF₆:N₂:H₂=1:3:1で導入し、ガス圧を1.0 Torrに設定し、基板の温度200℃、パワー密度0.2w/cm²でWN_x膜を堆積した。このとき上記の成膜条件で基板に-30V

10^9 dyn/cm²の引張り応力まで制御でき非常に低応力である。さらにWN_x膜の膜厚が薄いため、エッチング仕様は非常に緩和される。なお本実施例に用いたWN_xをESCAで分析したところ、N/W原子数比は1.5多で、微量の弗素が検出された。また、本実施例ではA₄をRIEでエッチングした後四塩化炭素ガス(CCl₄)と酸素の1:1混合ガスによるRIEでWN_xをエッチングした。このときA₄, WN_xともサイドエッチは見られなかった。

以上の工程により、ビット線配線が完了した後、従来プロセスと同様にして1Mb DRAMを形成した。またシンタリングは450℃で30分行なったが、コンタクト自身は500℃、30分のシリタリングでも問題はなかった。

また、本実施例で形成した1Mb DRAMのビット線抵抗はTiN_xバリアメタルを用いた場合に比べて70%に減少した。更にコンタクト抵抗は1μm角で100Ω程度あるいは、それ以下の値となり、TiN_xの場合の150Ω/1μm角よりも大幅

に改善された。

<発明の効果>

以上のように本発明によれば、 WN_x 膜をバリアメタルとする超高集積回路素子の製造方法において、作製プロセスが従来法に比べて容易になると共に配線抵抗、コンタクト抵抗が減少し、高速、高信頼性化することが出来る。

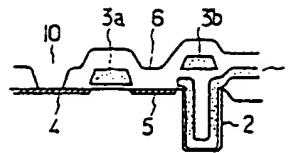
4. 図面の簡単な説明

第1図及び第2図はそれぞれ本発明の一実施例の製造工程を説明するための1MbDRAMのメモリセル部の断面模式図であり、第1図は従来法と同じ工程で形成されたビット線配線面の状態を示す図、第2図は本発明に係る WN_x バリアメタル及び Al 配線を堆積した後の状態を示す図、第3図は従来法で形成されたバイメタルの問題点を説明するための模式図である。

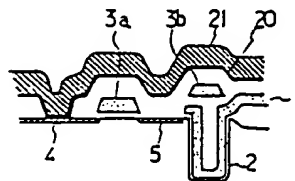
1…メモリセルキャパシタのプレート電極、2…キャパシタ絶縁膜、3a, 3b…メモリセルスイッチングトランジスタのゲート電極(ワード線)、4…スイッチングトランジスタのソース領域(N^+

拡散層)、5…スイッチングトランジスタのドレイン領域(N^+ 拡散層)、6…絶縁膜(BPSG)、10…コンタクトホール、20…バリアメタル(WN_x 薄膜)、21…Al 薄膜。

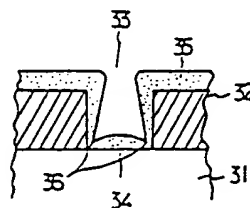
代理人 弁理士 杉 山 毅 至(他1名)



第1図



第2図



第3図